

Time slot synchronizer in regional search for WCDMA system

| Bibliographic data | Description | Claims | Abstracts | Original document | INPADOC legal status |
|---|--|--------|-----------|-------------------|----------------------|
| Publication number: | CN1286587 (A) | | | | |
| Publication date: | 2001-03-07 | | | | |
| Inventor(s): | ZHANG JUN [CN] | | | | |
| Applicant(s): | ZHONGXING COMM CO LTD SHENZHEN [CN] | | | | |
| Classification: | | | | | |
| - international: | H04Q9/04; H04Q9/04; (IPC1-7); H04Q9/04 | | | | |
| - European: | | | | | |
| Application number: | CN19991017207 19991112 | | | | |
| Priority number(s): | CN19991017207 19991112 | | | | |
| Also published as: | | | | | |
|  CN1133351 (C) | | | | | |
| View INPADOC patent family | | | | | |
| View list of citing documents | | | | | |
| Report a data error here | | | | | |

Abstract of **CN 1286587 (A)**

A time slot synchronizer in region search of WCDMA is composed of A/D converter module, match filter module, energy detector module, threshold comparator and judge module, delay locking module and clock restoration module. The analog base-band signals go through A/D converter, match filter, energy detector and threshold comparator and judge to output time slot synchronizing signals. The main path associated peak signal from the threshold comparator and judge is processed by delay locking and clock restoration modules to generate system clock. Its advantages are high capture speed, less loss of hardware resource and high sensitivity.

[12] 发明专利申请公开说明书

[21] 申请号 99117207.8

[43]公开日 2001 年 3 月 7 日

[11]公开号 CN 1286587A

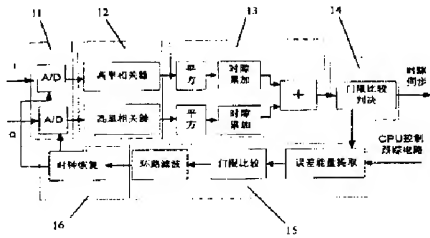
[22]申请日 1999.11.12 [21]申请号 99117207.8
[71]申请人 深圳市中兴通讯股份有限公司
地址 518057 广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦
[72]发明人 张 军

权利要求书 1 页 说明书 5 页 附图页数 2 页

[54]发明名称 WCDMA 小区搜索中的时隙同步装置

[57]摘要

一种 WCDMA 小区搜索中的时隙同步装置,包括 A/D 转换模块,匹配滤波器模块,能量检测模块,门限比较判决模块,延时锁定模块和时钟恢复模块;基带模拟信号经 A/D 转换为数字信号后经匹配滤波器输出相关峰值信号,再经过能量检测和门限比较判决后输出时隙同步信号;延时锁定从门限比较判决处得到主径相关峰值信号,处理后输出相位误差控制信号,再经时钟恢复处理后产生系统时钟。本发明捕获速度快,硬件资源消耗小且具有较高的灵敏度。



ISSN 1008-4274

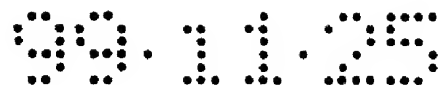
权 利 要 求 书

1. 一种 WCDMA 小区搜索中的时隙同步装置, 其特征在于: 包括 A/D 转换模块(11), 匹配滤波器模块(12), 能量检测模块(13), 门限比较判决模块(14), 延时锁定模块(15) 和时钟恢复模块(16); 所述的能量检测模块(13)包括平方模块, 时隙累加模块和加法器; 所述的延时锁定模块(15)包括误差能量提取模块、门限比较模块和环路滤波模块; 基带模拟信号经 A/D 转换模块(11)后转换为数字信号, 转换后的数字信号经匹配滤波器模块(12)后输出相关峰值信号, 再经过能量检测模块(13)和门限比较判决模块(14)处理后输出时隙同步信号; 延时锁定模块(15)从门限比较判决模块(14)得到主径相关峰值信号, 处理后输出相位误差控制信号, 再经时钟恢复模块(16)处理后产生系统时钟信号, 并作为 A/D 采样时钟输入 A/D 转换模块(11)。

2. 如权利要求 1 所述的一种 WCDMA 小区搜索中的时隙同步装置, 其特征在于: 所述的匹配滤波器模块(12)是高里相关器; 高里相关器包括 8 个延时单元, 8 个加权因子, 13 个加法器和 8 个乘法器; 输入串行数字信号分成两路, 一路进入延时单元, 另一路乘以加权因子后与延时单元输出的信号分别做加减运算, 完成一级运算; 做加法运算后的信号输入延时单元, 做减法运算后的信号乘以加权因子, 重复前过程, 进行下一级运算; 共进行 8 级运算后输出; 其中第 4、第 6 和第 8 级运算只进行加法运算而不进行减法运算。

3. 如权利要求 1 所述的一种 WCDMA 小区搜索中的时隙同步装置, 其特征在于: 所述 A/D 转换模块(11)的采样速率为 1~2 倍码片速率, 宽度取 6~8 比特。

4. 如权利要求 1 所述的一种 WCDMA 小区搜索中的时隙同步装置, 其特征在于: 所述时隙累加模块的时隙累加次数一般为 4~16 次。



说明书

WCDMA 小区搜索中的时隙同步装置

本发明涉及第三代移动通信中 FDD(频分双工)模式的 WCDMA(宽带码分多址)系统,具体地说涉及 WCDMA 系统中 MS(移动终端)的小区搜索技术。

一般说来,蜂窝式系统需要两种小区搜索,即识别到移动台的初始小区的初始小区搜索以及搜索切换邻近小区时的邻近小区搜索。DS-SS(直接扩频码分多址)蜂窝系统可分成两类,即在所有基站间进行严格的即时同步的基站间同步系统,以及不进行即时同步的基站间异步系统。基站间同步系统使用其他系统诸如 GPS(全球定位系统)来实现基站间的同步。WCDMA 是基站间异步系统。这样移动台可以直接接收来自邻近基站的传输延迟信息,所以可以较高的速度进行用于切换的邻近小区搜索。但是,在初始小区搜索中因为基站采用长扰码作为扩频码,使得小区搜索变得相对复杂和困难。

在 WCDMA 系统中,小区搜索的实现一般采用三步搜索法。第一步,捕获基本同步信道,完成时隙同步,识别出最强基站;第二步,捕获辅助同步信道,完成帧同步,识别出扰码组信息;第三步,对基本公共控制物理信道求相关,识别出本小区所采用的扰码。时隙同步是小区搜索的第一步,是移动台完成初始同步的第一步,也是后续帧同步、超帧同步的基础,所以对时隙同步的准确提取是十分重要的。时隙同步是针对一种特定的编码方式而采取的同步捕获技术,这种特定的编码是指基本同步信道码 C_p ,其编码格式来自 3GPP TS25.213 V2.30 的规定(3GPP 是一个被称为“第三代移动通信伙伴计划”的国际组织)。但是,在目前已经公开的文献和各种资料中还没有发现专门针对此种编码的时隙同步技术。

本发明的目的是提出一种捕获速度快,硬件资源消耗小且在有较大频偏的情况下仍能正确捕获的用于 WCDMA 小区搜索的时隙同步装置。

一种 WCDMA 小区搜索中的时隙同步装置,包括 A/D 转换模块,匹配滤波器模块,能量检测模块,门限比较判决模块,延时锁定模块和时钟恢复模块;所述的能量检测模块包括平方模块,时隙累加模块和加法器;所述的延时锁定模块包括误差能量提取模块、门限比较模块和环路滤波模块;基带模拟信号经 A/D 转换模块后转换为数字信号,转换后的数字信号经匹配滤波器模块后输出相关峰值信号,再经过能量检测模块和门限比较判决模块处理后输出时隙同步信号;延时锁定模块从门限比较判决模块得到主径相关峰值信号,处理后输出相位误差控制



信号,再经时钟恢复模块处理后产生系统时钟信号,并作为 A/D 采样时钟输入 A/D 转换模块。

方案中所述的匹配滤波器模块是高里相关器;高里相关器包括 8 个延时单元,8 个加权因子,13 个加法器和 8 个乘法器;输入串行数字信号分成两路,一路进入延时单元,另一路乘以加权因子后与延时单元输出的信号分别做加减运算,完成一级运算;做加法运算后的信号输入延时单元,做减法运算后的信号乘以加权因子,重复前过程,进行下一级运算;共进行 8 级运算后输出;其中第 4、第 6 和第 8 级运算只进行加法运算而不进行减法运算。

方案中所述 A/D 转换模块的采样速率为 1~2 倍码片速率,宽度取 6~8 比特。

方案中所述时隙累加模块的时隙累加次数一般为 4~16 次。

下面结合附图对本发明做进一步的详细说明。

图 1 是本发明装置的总体结构框图;

图 2 是本发明装置的详细结构示意图;

图 3 是门限比较判决模块的工作流程图;

图 4 是高里相关器的结构示意图。

首先介绍一下基本同步信道码 C_p 。基本同步码 C_p 是由通用分级高里码序列 (generalised hierarchical Golay sequence.) 构成的。采用这种编码是因为它具有很好的非周期自相关性能。其构成公式如下:

设 $a = \langle x_1, x_2, x_3, \dots, x_{16} \rangle = \langle 0, 0, 0, 0, 0, 0, 1, 1, 0, 1, 0, 1, 0, 1, 1, 0 \rangle$

基本同步信道码是由被高里补码调制的序列“a”的重复产生的;

$$y = \langle a, a, a, \bar{a}, \bar{a}, a, \bar{a}, \bar{a}, a, a, \bar{a}, \bar{a}, a, \bar{a}, a, a \rangle$$

基本同步信道码的定义如下:

$$C_p = \langle y(0), y(1), y(2), \dots, y(255) \rangle$$

其中最左边的码片 $y(0)$ 将是一个时隙中最先发送的码片。

基本同步信道是这样发送信号的:将全为“1”的数据经过基本同步信道码的调制成为 I/Q 两路基带信号,再经过中频载波的 QPSK 调制,经射频发送出去。在 FDD 模式的 WCDMA 系统中,所有的小区均发送相同的、固定的基本同步信道。任何移动台在开机时,总是首先检测基本同步信道,在得到本小区时隙同步以后才能进行以后的工作。在接收端,射频信号首先经过 QPSK 解调,去除载波,恢复出 I/Q 两路基带信号进行处理。本发明所述时隙同步装置就是处理此基带信号的。

图 1 是本发明装置的总体结构框图。如图 1 所示,本发明包括 A/D 转换模块 11,匹配滤波器模块 12,能量检测模块 13,门限比较判决模块 14,延时锁定模

块 15 和时钟恢复模块 16；所述的能量检测模块 13 包括平方模块，时隙累加模块和加法器；所述的延时锁定模块 15 包括误差能量提取模块、门限比较模块和环路滤波模块；

图 2 是本发明装置的详细结构示意图。如图 2 所示，其中 A/D 转换模块 11 将接收到的基带模拟信号变换为数字信号，一般采用 $4 \times \text{chip}$ 或 $8 \times \text{chip}$ 的采样速率，宽度一般取 6—8bit；匹配滤波器模块 12 对基本同步信道码 C_p 进行匹配滤波，其输出会在相应的位置输出峰值，而在其他地方相关值很小；平方电路模块是为了得到经过匹配滤波器滤波后的信号的能量；多时隙累加模块完成多个时隙的能量叠加；加法器将 I、Q 两路信号的能量求和；门限比较判决模块 14 负责将得到的信号与设定的门限进行比较，得到最强基站最强径的时隙同步指示；误差能量提取模块将前一个采样与后一个采样比较，并用当前采样的能量检测值进行规一化，得到相位误差电压信号；门限比较模块 14 进行设定门限比较，得到相位误差控制信号；环路滤波模块进行信号平滑；时钟恢复模块 16 产生系统时钟信号，并作为 A/D 采样时钟输入 A/D 转换模块 11。其信号处理流程为：经过中频解调以后的基带信号分为 I、Q 两路，再经过 A/D 转换，成为两路数字信号进入匹配滤波器，其输出会因为有多多个基站而产生多个峰值；为了保证较高的捕获概率，所以需要累加若干个时隙，然后进行门限比较，连续几次超出门限，则认为时隙同步已经捕获；此时发同步指示信号给 CPU，同时启动跟踪电路，以保证时钟电路对主径的精确跟踪。

在实际应用中，接收到的信号比较复杂。因为所有基站都在发相同的基本同步信道，所以移动台可能接收到好几个基站的信号，只是信号有强弱之分；另外，由于多径的影响，也会造成接收匹配滤波器输出好几个峰值。这就涉及到判决策略的问题。在不存在软切换时，即没有上层参与的情况下，门限的选取只取决于移动台检测出的信噪比，一般采用自适应门限，以保证捕获概率。当存在软切换时，由于有上层参与多基站间的切换，也就是可预测切换的目标基站，通过上层通知使移动台在可选的几个的峰值位置进行判决，同样可以做到与目标基站的时隙同步。在不进行软切换的情况下，移动台会选取能量最大的一个基站进行初始同步。

图 3 是门限比较判决模块 14 的工作流程图，图 3 具体描述了门限设置与比较的过程。一般地，自适应门限设置有多种方法，本方案采用分段固定门限和自适应门限结合的方法，可以保证准确完成时隙同步。其具体的工作流程如下：(1) 检测峰值能量；(2) 判断检测到的峰值是否超过低门限；(3) 如果没有超过低门限，则认为不存在能够建立正确同步的基站，重新开始检测峰值能量；(4) 如果超出低门限，则进一步判断是否超出高门限；(5) 如果没有超出高门限，则首先计算当前

信噪比，然后判断计算得到的信噪比能否达到最低要求；(6)如果信噪比不满足要求，则重新开始检测峰值能量；(7)如果信噪比满足要求，则进一步判断是否超出自适应门限；(8)如果超出自适应门限，则得到峰值位置，输出时隙同步信号，否则根据计算得出的信噪比设置新的自适应门限后再重新开始检测峰值能量；(9)如果峰值信号超出高门限，则得到峰值位置，直接输出时隙同步信号。

启动跟踪电路后，跟踪电路从门限比较判决模块 14 得到主径相关峰值信号，通过一个简单的延时抽样器会得到延时、超前、当前时刻三个相关输出，通过将前一个采样与后一个采样相关输出能量求差，并用当前采样的能量检测值进行归一化，得到相位误差电压信号，然后送入门限比较与环路滤波模块得到相位误差控制信号，再经时钟恢复模块 16 处理后产生系统时钟信号，并作为 A/D 采样时钟输入 A/D 转换模块 11，使得采样相位发生改变，得以精确跟踪主径相关峰值信号。本发明采用独立的延时跟踪模块进行精确跟踪，以保证提取出的时隙同步信号具有很高的精度。

图 4 是高里相关器的结构示意图，高里相关器是本装置的核心部件。因为基本同步信道码就是一种删除的高里码 (Pruned Golay Code 简称高里码)，所以在接收端可以用高里相关器作为匹配滤波器，对接收到的基本同步信道码进行相关处理，得到相关输出。

高里码的迭代生成公式为：

$$\begin{aligned} a_0(k) &= \delta(k) \text{ and } b_0(k) = \delta(k) \\ a_n(k) &= a_{n-1}(k) + W_n^{(i)} \cdot b_{n-1}(k - D_n^{(i)}), \\ b_n(k) &= a_{n-1}(k) - W_n^{(i)} \cdot b_{n-1}(k - D_n^{(i)}), \\ k &= 0, 1, 2, \dots, 2^{**N^{(i)}} - 1, \\ n &= 1, 2, \dots, N^{(i)}. \end{aligned}$$

利用上述公式，根据以下给定条件，可以得到基本同步信道码序列发生器，它也是接收基本同步信道码序列所用的高里相关器：

- (a) Let $j = 0$, $N^{(0)} = 8$
- (b) $[D_1^0, D_2^0, D_3^0, D_4^0, D_5^0, D_6^0, D_7^0, D_8^0] = [128, 64, 16, 32, 8, 1, 4, 2]$
- (c) $[W_1^0, W_2^0, W_3^0, W_4^0, W_5^0, W_6^0, W_7^0, W_8^0] = [1, -1, 1, 1, 1, 1, 1, 1]$
- (d) For $n = 4, 6$, set $b_4(k) = a_4(k)$, $b_6(k) = a_6(k)$

高里相关器包括 $D_1 \sim D_8$ 共 8 个延时单元，8 个加权因子 $W_1 \sim W_8$ ，13 个加法器 (包括减法器) 和 8 个乘法器；输入串行数字信号分成两路，一路进入延时单元，另一路乘以加权因子后与延时单元输出的信号分别做加减运算，完成一级运算；做加法运算后的信号输入延时单元，做减法运算后的信号乘以加权因子，重复前过程，进行下一级运算；共进行 8 级运算后输出；其中第 4、第 6 和第 8 级运算

只进行加法运算而不进行减法运算。只用 13 个加法器是利用了上述公式中 $b_i(k) = a_i(k)$, $b_o(k) = a_o(k)$ 的特点, 而对于加权因子来讲, 因为其模值均为 1, 所以乘法运算只是一位的符号运算, 实现起来很简单。高里相关器结构简单, 充分利用了高里码的特性, 在采样速率为 1 倍码片速率时, 整个匹配相关运算只需 13 次加法就可完成 (而采用一般的匹配滤波器结构需要 255 次加法), 大大减少了运算量, 从而减少了硬件资源的消耗。

由于本发明充分利用了高里码的特性, 采用高里相关器作为匹配滤波器, 所以捕获速度快, 硬件资源消耗小; 由于采用了独立的延时跟踪模块进行精确跟踪, 使得在频偏较大的情况下仍能获得正确的时隙同步信号, 使得 MS (移动终端) 具有较高的灵敏度。

说明书附图

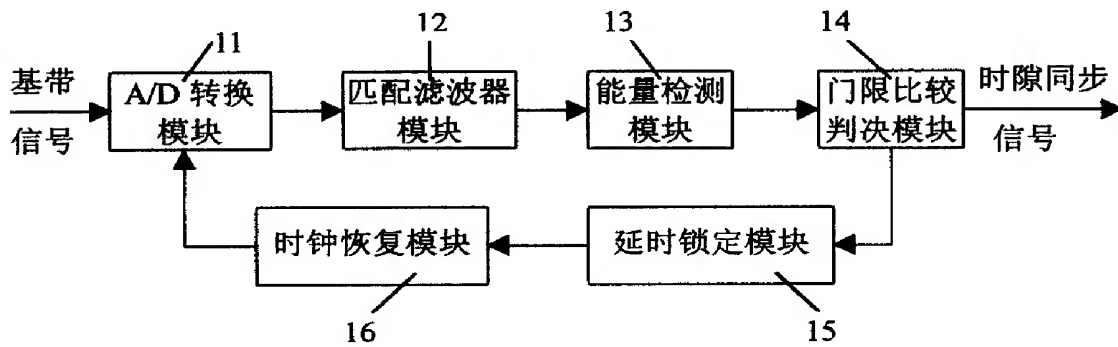


图 1

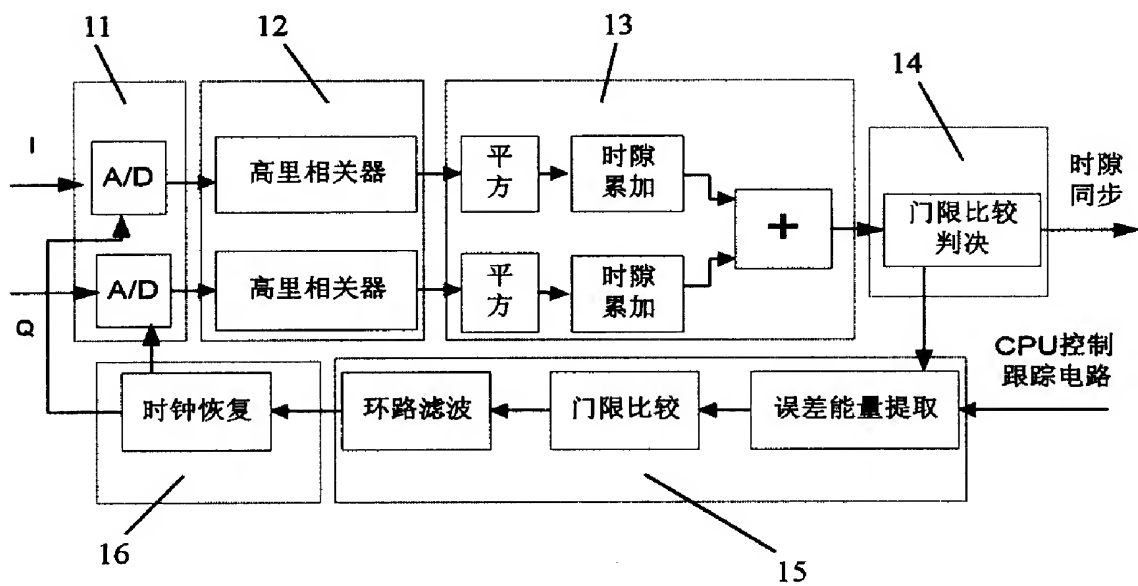


图 2

99.11.25

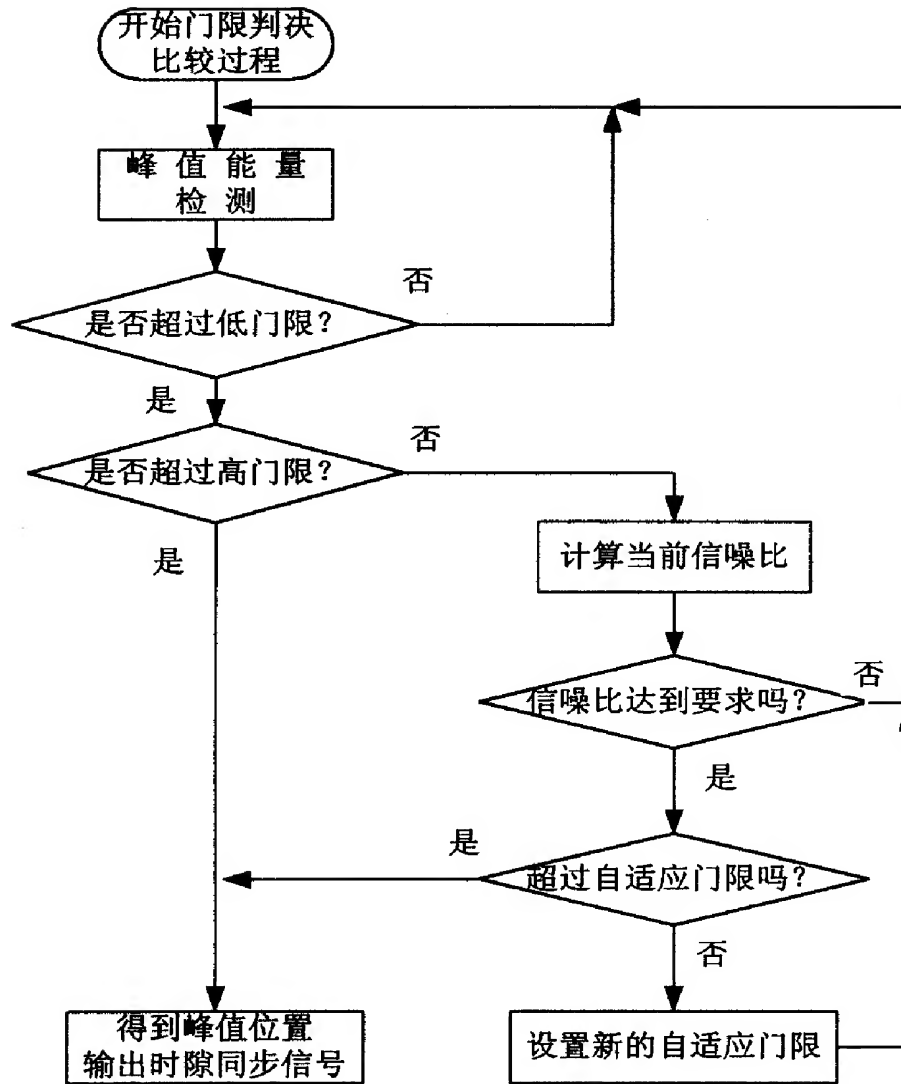


图 3

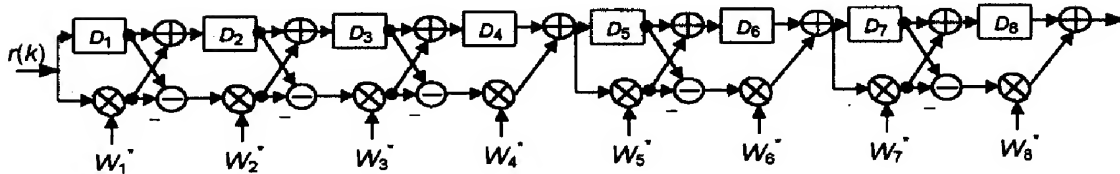


图 4